

2016年6月9日

各 位

株式会社シキノハイテック
代表取締役会長兼社長 塚田 隆
〒937-0041 富山県魚津市吉島 829
TEL 0765-22-3477

フルハイビジョン動画に対応したFPGA版IPを販売開始

(”世界最小クラス”静止画圧縮伸張IP/高速インターフェースIP)

シキノハイテックは、世界トップクラスのシェアを誇る静止画圧縮伸長IP(JPEG IP:KJNシリーズ)のFPGA(※1)版新製品『KJN-F4』3製品(コーデック、エンコーダ、デコーダ)、さらにFPGA版高速インターフェースIPの新製品『MIPI CSI-2 IP』2製品(RX:受信用、TX:送信用)を開発し、6月8日から上記5製品の販売を開始致しました。

『KJN-F4』は、フルハイビジョン画像を毎秒30枚圧縮伸長処理可能なIPです。『MIPI CSI-2 IP』は、イメージセンサインターフェースの標準規格であるMIPI規格に準拠したIPです。上記5製品はFPGAに搭載して利用できるため、監視分野、医療分野、車載分野を中心とした産業機器向けに最適なIPです。

※1 FPGA : Field Programmable Gate Array の略。集積回路の一種で、専用のSoC(※2)とは違い、出荷後にプログラムを書き換える事で、機能を更新する事が可能な汎用LSI。1個からの購入が出来る為、少量多品種が多い産業用途で多く利用されている。

※2 SoC : System-on-a-chip の略。単体の集積回路(LSI)では無く、マイクロコントローラを含めたデジタル回路やアナログ回路、ソフトウェアなど、ハードウェアとソフトウェアを含めてシステム全体をワンチップに集積したもの。

■背景

近年は防犯カメラや、検査機器等の産業用途に於いて、画像の高感度、高解像度化がすすみ、取扱う画像データの容量も増大しているため、これらの大量のデータを高速で処理するニーズが高まっています。従来は、大量のデータを高速で処理するには、専用のSoCが使用されることが多く、少量多品種が多い産業用途では、コスト面において課題の一つとなっていました。

今般、上記課題を解決するため、FPGA向けに最適化した高速静止画圧縮伸長IP『KJN-F4』、高速インターフェースIP『MIPI CSI-2 IP』を、FPGAシリーズの第一弾として開発致しました。

今後、民生機器、放送機器から医療機器や車載機器までFPGAの市場拡大、ニーズの多様化が予想されることから、B2B市場をターゲットとしたFPGA版JPEG IP製品(KJN-Fシリーズ)、高速インターフェースIP製品のラインナップを拡充して参ります。

■特長 『KJN-F4』

●小規模・低消費電力

当社独自の実装技術により、高速処理化に伴う回路規模増加を最小限に抑え、消費電力45%（当社従来製品比）の削減を達成しています。

●高品質・高性能

本IPは、世界最小クラスでフルハイビジョン画像を毎秒30枚の高速処理を実現しており、SoC市場での豊富な実績を持つ当社技術を活かし、FPGA版に於いても高品質・高性能なIPを実現しました。

静止画圧縮伸長 IP [KJN-F4] の特長

- ・ フル HD 画像で 30fps(62MHz 時)の高速処理
- ・ FPGA リソースを有効に活用することにより、高速かつ小規模で低消費電力を実現
- ・ お客様のニーズに応えるべく、エンコーダ及びデコーダのみのコアも取り揃えております。

KJN-F4 仕様

CPUバス	： 32bit
画像データバス	： 32bit
符号データバス	： 32bit
量子化テーブル	： 4枚(RAM)
ハフマンテーブル	： DC, AC 各 2枚(固定)
カラーフォーマット	： YUV444, YUV422, YUV420, YUV411, Gray-Scale, CMYK

■特長 『MIPI CSI-2 IP』

●小規模・低コスト

本IPは、MIPI規格の高速信号と低速信号を分離し、回路最適化を行う事で、イメージセンサとFPGAを直接接続可能な構成としました。これにより、従来必要となっていた大規模SoC開発が不要となり、少量多品種の産業用途でのイメージセンサ搭載機器が小規模、低コストで開発可能です。

●高品質・高性能

本IPは、各種画像フォーマットに対応すると共に、フルハイビジョン動画の表示速度を実現しており、民生機器向けSoC開発での豊富な実績を持つ当社技術を活かし、高品質・高性能なFPGA版IPとして新規開発しました。

MIPI CSI-2 RX IP [SHSA001] / TX IP [SHSA002] の特長

- フル HD 画像で 30fps(62MHz 時)の高速処理
- FPGA リソースを有効に活用することにより、高速かつ小規模で低消費電力を実現
- お客様のニーズに応えるべく、低価格帯 FPGA から高価格帯 FPGA まで各種デバイスに対応

MIPI CSI-2 RX IP [SHSA0001] / TX IP [SHSA0002] 仕様

- 準拠規格 : MIPI Alliance CSI-2 v1.1/ v1.0100、D-PHY v1.1
- Clock Lane : 1Lane
- Data Lane : 1Lane～4Lane
- Bit Rate : 500Mbps/Lane (4Lane 合計で最大 2.0Gbps) 注: 使用する FPGA デバイスで変動します。
- Data Formats : RAW6※、RAW7※、RAW8、RAW10、RAW12、RAW14、RGB444※、RGB555※、RGB565、RGB666、RGB888、Legacy YUV420(8bit)※、YUV420(8bit, 10bit)※、YUV422(8bit, 10bit)、Embedded 8bit non Image Data、User Defined Byte-based Data、NULL、Blanking Data (※は RX のみ対応)
- Escape Mode : Ultra-Low Power State(ULPS)のみ対応

お問合せ先:

製品に関するお問合せ先

株式会社シキノハイテック IP セールス担当
大阪デザインセンター
TEL: 06-6150-7730
FAX: 06-6150-7739

報道機関お問合せ先

株式会社シキノハイテック
〒937-0041 富山県魚津市吉島 829
管理部 広報担当
TEL: 0765-22-3477
FAX: 0765-22-3916
<http://www.shikino.co.jp>